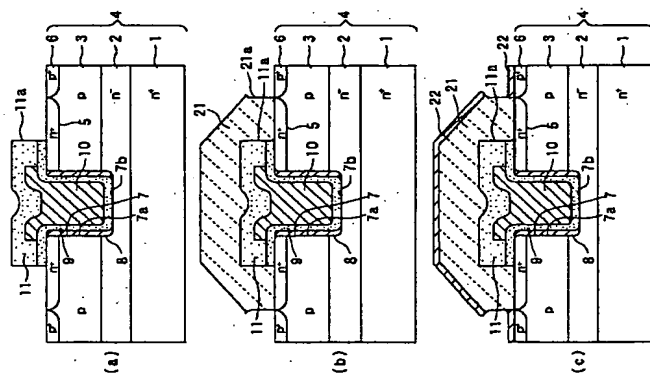
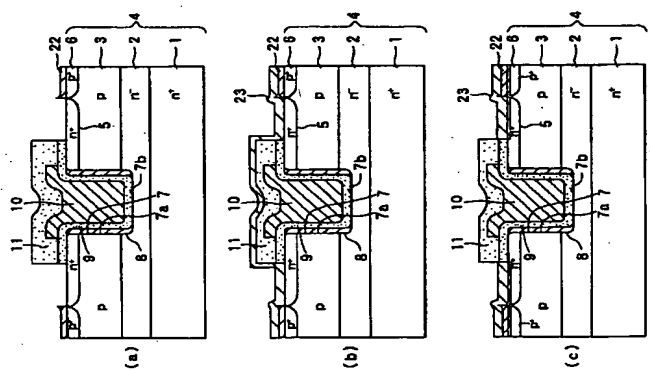


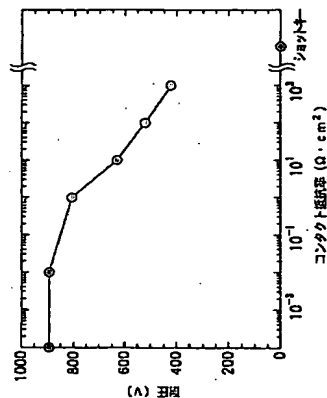
【図4】



【図5】



【図7】



基板4板4の上全面に厚さ0.5  $\mu\text{m}$ 程度のN1膜23を蒸着する。このとき、A1膜22とN1膜23とがオーラップするよう、つまりに接するよう11に形成される。また、上述した焼付に示すように、A1とN1とがオーラップしていてもA1はp型半導体とオミック接触することができ、A1膜22はp型領域6とオミック接触することとなる。これにより、A1膜22とp型領域6とのコンタクト抵抗の増加を防止することができ、

【0040】図5(c)に示す工程)コンタクトホール内にのみN1膜23が現るようにパターニングしたのち、1000°程度による熱処理を施す。これにより、A1膜22及びN1膜23におけるA1・N1がそれぞれp型領域6やn+型ソース領域5に拡散し、オーミック電極となる。

【0041】なお、N1膜23のパターンニングは、熱処理の前に先行なくとも、熱処理によってセルファライニングによって密閉絶縁膜11上のN1膜23は除去されるが、除去後の表面に凹凸が生じる可能性がある。このため、コンタクトホール内を平坦化することが好ましい。なお、この後、コンタクトホール内にレジストを塗布し、上述のように熱処理前パターンニングすることとする。なお、このA1膜24をパターンニングして、ソース電極のうち、このA1膜24をパターンニングして、ソース電極を含む半導体基板4の上面全面にA1膜24を塗布したA1膜24をパターンニングして、ゲート電極10と接続されるゲート電極（図示せず）を形成し、さらに半導体基板4の裏面にドレイン電極13を形成して、図1に示す縦型パワーMOSFETが完成する。

【0042】このように、リフトオフ法によってA1領域  
2222を除去するようにしているため、周回線路11に  
形成されたコンタクトホール22の端部にA1領域2が現ら  
れることになるようにしてある。A1領域22が周回線路11と反す  
るることによるゲート電極層8とソース電極10との短絡  
を防止することができ、また、p型領域6と  
n型領域7の境界をA1領域2で行っているため、N1領域23とオ  
フセットバンプ24が重なりあってもp型領域6とのオーミック接触を確  
保することができる。これにより、p型領域6ごとのコン

タクト抵抗を低減することができる。

【0043】なお、上記実施形態においては、溝ゲート型のMOSFETを一例に挙げて、n<sup>+</sup>型シリコン領域5とp型領域6とのコンタクト抵抗の低減を図ったことが、この型領域6に限定する制限領域内に形成されたコンタクトホールを介してp型半導体におけるコンタクト領域とオームミックコンタクトとをブリーディング型MOSFETにおいて、コンタクト領域6に必要とされる場合に適用することができる。同様に、p型シリコン領域及びp型ペーシ領域との電気的接続を行う際に適用することができる。

【0044】また、上記実施形態ではp型ベース領域3とのコンタクト用にp型領域6を形成しているが、p型ベース領域3のみでもよい。

【図面の簡単な説明】

【図1】本発明にかかわる縦型パワーMOSFETの断面図である。

【図2】図1に示す縦型パワー-MOSFETの製造工程を示す図である。

【図3】図2に続く縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワー-MOSFETの製造工程を示す図である。

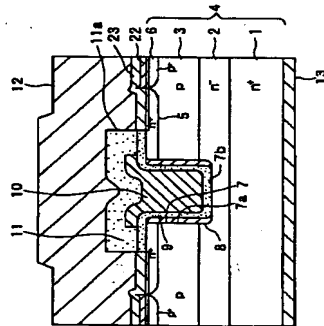
【図6】従来における縦型パワーMOSFETを説明するための図である。

5. 【図7】耐圧とコンタクト抵抗率との関係を示す図であ

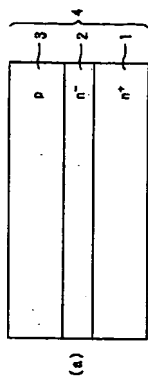
【符号の説明】

1…n型半導体基板、2…n<sup>-</sup>型-E型エピ、3…p型ベ  
ル領域、4…半導体基板、5…n<sup>+</sup>型ソーズ領域、6  
…p型領域、7…溝、8…n型半導体薄膜層、9…ゲー  
ト電極、10…ゲート電圧、11…閾値電圧、12  
…ソース電圧、13…ドレイン電圧、21…レジスト  
層、22…A膜、23…N<sup>+</sup>膜。

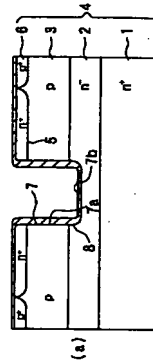
【図1】



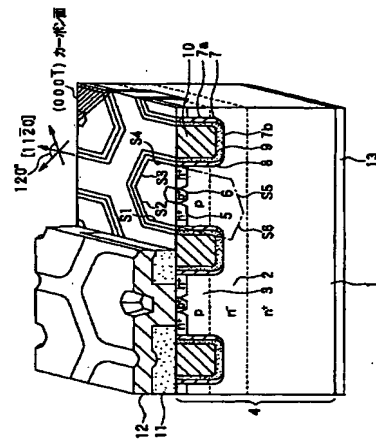
**【图2】**



【图3】



**【例6】**



(d)

(d)

(d)



前記前絶縁膜の所定領域をエッチングして前記コンタクトホールを形成する工程と、

前記コンタクトホールを含む前記前絶縁膜上に、レジスト膜(21)を成膜すると共に、該レジスト膜のうち前記コンタクト領域上の部分を開口させる工程と、

前記開口させた部分を含む前記レジスト膜上に、A1を含む金属膜を成膜したのち前記レジスト膜を除去して、前記第1の電極層を形成する工程と、

前記半導体基板及び前記第1の電極層を900℃以上で熱処理する工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方法、

【請求項12】 前記第1の電極層を形成する工程の後、N1を含む第2の電極層(23)を少なくとも前記コンタクトホール内に形成する工程を含むことを特徴とする請求項11に記載の炭化珪素半導体装置の製造方法、

【請求項13】 低抵抗な第1導電型の基板(1)の上、高抵抗な第1導電型の半導体層(2)と、第2導電型のペーバース領域(3)とを順次に積層することによって炭化珪素よりなる半導体基板(4)を形成する工程と、

前記ペーバース領域の所定領域に第1導電型のソース領域(5)を形成する工程と、

前記ペーバース領域と前記ソース領域を共に貫通し、前記半導体層に達する溝(7)を形成する工程と、

前記溝の内壁において、少なくとも前記ソース領域と前記半導体層の間に前記ペーバース領域の上に、ゲート絶縁膜(9)を形成する工程と、

前記溝内における前記ゲート絶縁膜の内側にゲート電極層(10)を形成する工程と、を含んでいることを特徴とする請求項11又は12に記載の炭化珪素半導体装置の製造方法、

【請求項14】 前記半導体基板上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層を形成する工程と、

前記半導体層の表面領域に、前記コンタクト領域を含む第2導電型のペーバース領域を形成する工程と、

前記ペーバース領域の表面領域の所定領域に、前記ペーバース領域よりも低い第1導電型のソース領域を形成する工程と、少なくとも前記ソース領域と前記半導体層の間に前記ペーバース領域の上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記ゲートを形成する工程と、を含んでいることを特徴とする請求項11又は12に記載の炭化珪素半導体装置の製造方法、

【請求項15】 前記ソース領域と前記半導体層の間に前記ペーバース領域の表面には、第1導電型の半導体層(8)が形成されていることを特徴とする請求項13又は14に記載の炭化珪素半導体装置の製造方法、

【0006】 図7に高圧のp型ペーバースコンタクト低抵抗率依存性の一例を示す。この図に示されるように、p型ペーバースコンタクト部6との接合(p型ペーバース領域3とのコンタクト)がショットキー接合であると、耐圧が0Vと

なってしまうが、p型ペーバースコンタクト低抵抗率が10-1 Q・cm<sup>2</sup>以下になると耐圧がn型薄層膜8のいない場合と同等となるのである。

【0007】 本発明は上記問題に鑑みて成され、p型層とコンタクト低抵抗率が10-1 Q・cm<sup>2</sup>以下とできる電極構造を有する炭化珪素半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明者らは、p型ペーバースコンタクト低抵抗率が10-1 Q・cm<sup>2</sup>以下となるような電極構造及びその製造方法について検討を行った。まず、図6のMOSFETにおいて、コンタクトホールを含むウェハ表面にA1/T1膜を蒸着したのち、ウェットエッチングによりp型ペーバース領域3上にのみA1/T1膜を残し、さらにn<sup>+</sup>型ソース領域5とオーミック接合となるN1を蒸着してから熱処理を施してコンタクト構造を形成した(特開平2-196421号公報参照)。

【0009】 その結果、ゲート電極10と他の電極(ここでは、ソース電極12)を示す。以下ソース電極12と(いう)とが短絡するという問題と、p型ペーバースコンタクト低抵抗率増大するという問題が発生することが判明した。これらの原因を追求すべく、以下の試作・検討を行った。第1に、ゲート電極10とソース電極12とが短絡するという問題に対して、これらの間に配置される層間絶縁膜11の材料(酸化膜)と電極材料との反応性、及び工程の詳細調査を実施した。

【0010】 具体的には、酸化膜の上にA1/T1、A1/N1、A1、N1等の電極材料を蒸着したあとと熱処理(1000℃、10分)：電極材料と炭化珪素とのオーミックコンタクトをとるための熱処理条件)を施し、その後の電極材料と酸化膜との界面の状態を調査した。その結果、A1及びA1を含む電極材料を用いた試料では、酸化膜中に合金層が形成されており、深さが1.5 μmに達するものもあった。一方、N1を用いた試料では合金層は見られなかった。このため、A1が酸化膜と接合している熱処理時に合金層が形成され、短絡が発生すると考えられる。

【0011】 そして、製造工程について調査を行ったところ、A1/T1膜を蒸着した後に実施されるウェットエッチングにおいて、コンタクトホールの端部にA1/T1が残っていることが判明した。つまり、コンタクトホール等の凹みのある試料にレジストを塗布した場合、凹部の端部でレジスト膜厚が他の部分よりも厚くなるため、p型ペーバース領域上に電極部を残す際の露光条件ではコンタクトホールの端部にレジストが残ってしまうので

ある。

【0012】 これらの事実をまとめると、ゲート電極10とソース電極12との短絡は、コンタクトホール端部に残ったA1/T1と酸化膜との反応によって形成された合金層によってゲート電極10とソース電極12とが接合されてしまった、合金層形成による応力で酸化膜にクラックが発生してゲート電極10とソース電極12とが接続してしまったことと生じるといえる。

【0013】 そこで、請求項1に記載の発明においては、A1を含む第1の電極層(22)は、前記絶縁膜(11)から離間した位置にのみ形成されていることを特徴としている。このように、A1を含む第1の電極層が、前記絶縁膜から離間した位置にのみ形成されているれば、A1と前記絶縁膜が反応することがないため、ゲート電極層(8)と第1の電極層(12)との短絡を防止することができる。

【0014】 具体的には、請求項2に示すように、層間絶縁膜に形成されたコンタクトホールの側面に第1の電極層が接しないようにすればよい。なお、請求項3に示すように、半導体基板がp型である場合には、p型半導体と電極の接合のために第1の電極層としてA1を含むもので構成するため、このような場合に有効である。

【0015】 一方、第2に、p型ペーバースコンタクト低抵抗率が増大するという問題に対して、p型ペーバース領域3のコンタクトに用いられるA1/T1電極の低抵抗率(p型ペーバースコンタクト低抵抗率)が、A1/T1電極にn<sup>+</sup>型ソース領域5とオーミック接合となるN1電極をオーミック接合とさせない場合で変化するか比較し、また、ここではA1/T1電極にN1電極の一部でも接する場合はオーミック接合とさせている。その結果、A1/T1電極とN1電極とをオーミック接合させた場合の方が、オーミック接合させない場合に比べてp型ペーバースコンタクト低抵抗率が増大した。

【0016】 従って、A1/T1電極とN1電極とをオーミック接合させないようにすれば、p型ペーバースコンタクト低抵抗率の増大を防止でき、p型ペーバース領域3の電極材料として上記コンタクト低抵抗率を満足するものであれば、いずれの材料を使用してもよいといえる。しかしながら、一部でもオーミック接合すればコンタクト低抵抗率が増大してしまうため、p型ペーバース領域3やn<sup>+</sup>型ソース領域5の電極材料のパターンニング時にそれぞれのアライメントずれを考慮した設計としないければならず、セルサイズを増大させるという問題を発生させてしまうため、p型ペーバース領域3の電極材料にN1をオーミック接合する場合において、コンタクト低抵抗率の低減を図らなければならない。

【0017】 このため、p型ペーバース領域3の電極材料とn<sup>+</sup>型ソース領域5の電極材料であるN1とをオーミック接合させて、p型ペーバース領域3の電極材料におけるコン

(19)日本国特許庁(JP) (12)公開特許公報(A)

(11)特許出願公開番号

特開2000-12846  
(P2000-12846A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl.	識別記号	IPC(参考)
H01L 29/78	301	H01L 29/78 652L 4M104
21/28		301F
29/16		
29/78		652T
		653A
審査請求 未請求 請求項の数15 OL (全 9 頁)		

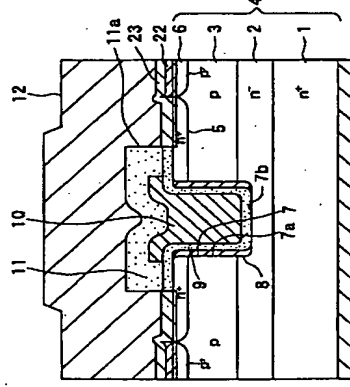
(21)出願番号	特願平10-175050	(71)出願人	000004280 株式会社デンソー
(22)出願日	平成10年6月22日(1998.6.22)	(72)発明者	竹内 有一 愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内 (72)発明者 近藤 剛 愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内 (74)代理人 100100022 井理士 伊藤 祥二 (外1名) Fターム(参考) 4M104 A001 B002 B005 B014 C001 D034 E033 F022 G009

(54)【発明の名称】 炭化珪素半導体装置及びその製造方法

(57)【要約】

【課題】 図間絶縁膜を通じてゲート電極と他の電極とが短絡することを防止すると共に、コンタクト領域とのコンタクト抵抗を低減できるようにする。

【解決手段】 コンタクトホール11aを介して、p型領域6(p型ベース領域3)に接続される電極をA1膜22で構成し、このA1膜22をコンタクトホール11aの側面から離間した位置にのみ形成する。これにより、A1膜22が図間絶縁膜11と反応するのを防止でき、ゲート電極8とソース電極12が短絡してしまわないようにできる。また、p型領域6と接続される電極をA1膜22で構成することにより、n<sup>+</sup>型ソース領域5に接続されるN1膜23とA1膜22がオーバーラップしてもA1膜22とp型領域6とがオーミック接触するようにできる。これにより、コンタクト領域とのコンタクト抵抗を低減できる。



【特許請求の範囲】  
【請求項1】 炭化珪素からなり、所定位置にコンタクト領域(6)が形成された半導体基板(1)と、前記半導体基板の上にゲート絶縁膜(9)を介して形成されたゲート電極(10)と、  
前記ゲート電極を覆うように形成されていると共に、前記コンタクト領域に連通するコンタクトホール(11a)を備えたシリコン酸化膜よりなる図間絶縁膜(1)と、  
前記コンタクト領域とオーミック接触となるA1を含む第1の電極(22)と、を有する炭化珪素半導体装置において、  
前記第1の電極は、前記図間絶縁膜から離間した位置にのみ形成されていることを特徴とする炭化珪素半導体装置。  
【請求項2】 前記第1の電極は、前記コンタクトホールの側面に接触しないように形成されていることを特徴とする請求項1に記載の炭化珪素半導体装置。  
【請求項3】 前記コンタクト領域は、p型半導体で構成されていることを特徴とする炭化珪素半導体装置。  
【請求項4】 前記第1の電極はほぼA1のみで構成されており、このA1の上にはN1を含む第2の電極が積層されていることを特徴とする請求項3に記載の炭化珪素半導体装置。  
【請求項5】 前記第1の電極はほぼA1のみで構成されており、  
前記コンタクトホール内の前記コンタクト領域上、及び前記第1の電極の上には、N1を含む第2の電極が積層されていることを特徴とする請求項3に記載の炭化珪素半導体装置。  
【請求項6】 低抵抗な第1導電型の基板(1)の表面側に、高抵抗な第1導電型の半導体層(2)と、第2導電型のベース領域(3)とが順次に積層された単結晶炭化珪素よりなる半導体基板(4)と、  
前記半導体層の所定領域に形成された第1導電型のソース領域(5)と、  
前記ベース領域と前記ソース領域を共に貫通し、前記半導体層に達する溝(7)と、  
前記溝の内壁に形成されたゲート絶縁膜(9)と、  
前記溝内における前記ゲート絶縁膜の内側に形成されたゲート電極(10)と、  
前記半導体層及び前記ゲート電極の上に形成され、前記ベース領域及び前記ソース領域に連通するコンタクトホール(11a)を備えた図間絶縁膜(11)と、  
前記コンタクトホールを介して、少なくとも前記ベース領域に接続されたA1を含む第1の電極(22)と、  
前記コンタクトホールを介して、少なくとも前記ソース領域に接続されたN1を含む第2の電極(23)と、  
前記半導体基板の表面に形成された第3の電極(13)とを備え、

前記コンタクトホール(1)の側面から離間した位置にのみ、前記第1の電極が形成されていることを特徴とする炭化珪素半導体装置。  
【請求項7】 主表面及び主表面の反対側である裏面に、有し、炭化珪素よりなる第1導電型の半導体基板と、前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層と、  
前記半導体層の表面部の所定領域に形成され、所定深さを有する第2導電型のp型のベース領域と、  
前記ベース領域の表面部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域と、  
前記ソース領域と前記半導体層の間に形成された前記ベース領域の上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
前記ゲート電極を覆うように形成され、所定位置にコンタクトホールを介して、少なくとも前記ベース領域に接続されたA1を含む第1の電極と、  
前記コンタクトホールを介して、少なくとも前記ソース領域に接続されたN1を含む第2の電極と、  
前記半導体基板の裏面に形成された第3の電極とを備え、  
前記コンタクトホール(1)の側面から離間した位置にのみ、前記第1の電極が形成されていることを特徴とする炭化珪素半導体装置。  
【請求項8】 前記第1の電極の上には、前記第2の電極が積層されていることを特徴とする請求項6又は7に記載の炭化珪素半導体装置。  
【請求項9】 前記ソース領域と前記半導体層の間に形成される前記ベース領域の表面に、炭化珪素よりなる第1導電型の半導体層(8)が備えられていることを特徴とする請求項6乃至8のいずれか1つに記載の炭化珪素半導体装置。  
【請求項10】 前記ベース領域と、前記第1の電極とのコンタクト抵抗率が $10^{-4}\Omega\cdot\text{cm}^2$ 以下であることとを特徴とする請求項6乃至8のいずれか1つに記載の炭化珪素半導体装置。  
【請求項11】 炭化珪素からなり、所定位置にコンタクト領域(6)が備えられた半導体基板(4)と、  
前記半導体基板上に形成されたゲート電極(10)と、  
前記ゲート電極を覆うように形成され、所定位置にコンタクトホール(11a)が形成された図間絶縁膜(11)と、  
前記コンタクトホールを介して前記コンタクト領域と接続されるA1を含む第1の電極(22)とを備えた半導体装置の製造方法であって、  
前記ゲート電極を含む、前記半導体基板上に前記図間絶縁膜を形成する工程と、

The Delphion Integrated View

Get Now: ☒ PDF | More choices...

Tools: Add to Work File:

View: Jump to:

Title: JP2000012846A2: SILICON CARBIDE SEMICONDUCTOR DEVICE MANUFACTURE THEREOF

Country: JP Japan  
Kind: A2 Document Laid open to Public inspection

Inventor: TAKEUCHI YUICHI  
Assignee: DENSO CORP

Published / Filed: 2000-01-14 / 1998-06-22  
Application Number: JP1998000175050

IPC Code: H01L 29/78; H01L 21/28; H01L 29/16;

Priority Number: 1998-06-22 JP1998000175050

Abstract: PROBLEM TO BE SOLVED: To prevent short-circuiting between

a gate electrode and other electrodes from being caused through an interlayer insulating film and also to reduce the contact resistance with a contact region.

SOLUTION: An electrode, which is connected with a p+ region 6

(a p-type base region 3) via a contact hole 11a, is constituted of an

Al film 22, and this film 22 is formed only at a position separated

from the side surface of the hole 11a. Thereby, Al can be prevented

from reacting with an interlayer insulating film 11 and the short

circuit between a gate electrode layer 8 and a source electrode 12

cannot be caused through. Moreover, since the electrode which is

connected with the region 6 is constituted of the film 22, an ohmic

contact of the film 22 with the region 6 can be made even through

an Ni film 23, which is connected with an n+ source region 5,

overlaps the film 22. Thereby, the contact resistance with a contact

region can be reduced.

COPYRIGHT: (C)2000, JPO

Get Now: Family Legal Status Report

Family:

PDF	Publication	Pub. Date	Filed	Title
<input checked="" type="checkbox"/>	JP2000012846A2	2000-01-14	1998-06-22	SILICON CARBIDE SEMICONDUCTOR AND MANUFACTURE THEREOF
<input checked="" type="checkbox"/>	JP0012846A2	2000-01-14	1998-06-22	SILICON CARBIDE SEMICONDUCTOR AND MANUFACTURE THEREOF

2 family members shown above

Other Abstract: None

Info:

BEST AVAILABLE COPY